

AL

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11092909

Basic Patent (No,Kind,Date): JP 5072998 A2 930326 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: YOKOGAWA ELECTRIC CORP

Author (Inventor): SHIYOUNBAYASHI NOBORU

IPC: \*G09G-003/36; G02F-001/133

JAPIO Reference No: 170402P000146

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5072998	A2	930326	JP 91234947	A	910913 (BASIC)

Priority Data (No,Kind,Date):

JP 91234947 A 910913

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04081298 \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 05-072998 [JP 5072998 A]

PUBLISHED: March 26, 1993 (19930326)

INVENTOR(s): SHIYOUNBAYASHI NOBORU

APPLICANT(s): YOKOGAWA ELECTRIC CORP [000650] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-234947 [JP 91234947]

FILED: September 13, 1991 (19910913)

INTL CLASS: [5] G09G-003/36; G02F-001/133

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1580, Vol. 17, No. 402, Pg. 146, July 27, 1993 (19930727)

**ABSTRACT**

PURPOSE: To realize the liquid crystal display device which puts both a video display part and a graphic display part in the best display quality states by controlling an LCD according to adequate gradation characteristics of the both.

CONSTITUTION: When graphic data are written in frame memory 4 or 5, a flag generator 26 generates a flag with a GC address as a write address and writes it in a flag memory 27 or 28. When the graphic data are read out of the frame memory 4 or 5, an address is inputted to the frame memory 4 or 5 and flag memory 27 or 28 and data are read out, put together, and inputted to a mixer 6 and mixed with the graphic data given priority. An LUT 12 identifies the graphic data from the sent data by using the flag and outputs gradation control data matching the video data and graphic data.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-72998

(43) 公開日 平成5年(1993)3月26日

(61) Int.Cl.<sup>5</sup>

G09G 3/36

G02F 1/133

識別記号

7926-5G

575

7820-2K

F I

審査請求 未請求 請求項の数1 (全8頁)

(21) 出願番号

特願平3-234947

(22) 出願日

平成3年(1991)9月13日

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 庄林 登

東京都武蔵野市中町2丁目9番32号 横河

電機株式会社内

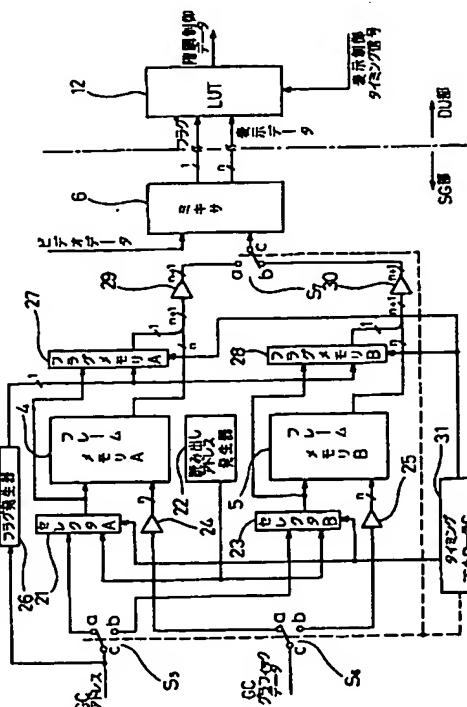
(74) 代理人 弁理士 小沢 信助

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 ビデオ表示部分とグラフィック表示部分とのそれぞれに適合した階調特性によりLCDを制御して、両者の表示品質を最良状態にすることのできる液晶表示装置を実現することにある。

【構成】 フレームメモリ4又は5にグラフィックデータを書き込む時、書き込みアドレスであるGCアドレスによりフラグ発生器26からフラグを発生させてフラグメモリ27又は28に書き込む。フレームメモリ4又は5からグラフィックデータを読み出す時は読み出しアドレスがフレームメモリ4又は5とフラグメモリ27又は28に入力されてそれぞれ読み出され合成されてミキサー6に入力されグラフィックデータ優先で混合される。LUT12は伝送されたデータからフラグによりグラフィックデータを識別し、ビデオデータとグラフィックデータに適合した階調制御データを出力する。



## 【特許請求の範囲】

【請求項1】 ビデオデータとグラフィックデータとを重畠してLCDに表示させるためのフレームメモリとミキサを備えたSG部と、前記ビデオデータとグラフィックデータとを表示するLCDと、該LCDの階調特性を決定するデータをテーブルとして持つLUTと、前記LCDに表示するためにアナログ信号に変換するDA変換器を備えたDU部とで構成される液晶表示装置において、

前記SG部内に設けられているフレームメモリ(4, 5)に書き込まれるグラフィックデータの指標とするためのフラグを発生するフラグ発生器(26)と、前記フラグを格納し、前記フレームメモリ(4, 5)に格納されているデータと共に読み出されて前記ミキサ(6)に入力されるフラグメモリ(27, 28)と、前記フラグによって識別されるグラフィック用データとビデオデータのそれぞれに対応する2種類の階調制御データをテーブルとして格納するLUT(12)とを具備し、

前記SG部と前記DU部間で伝送される表示データに1ビットの前記フラグを追加することにより、ビデオ用とグラフィック用にそれぞれ最適な階調特性でLCDに表示させるようにしたことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示装置に関し、特にビデオデータ表示とグラフィックデータ表示を重畠させて行う場合の階調特性の不適合性を改善した液晶表示装置に関する。

## 【0002】

【従来の技術】 LCD(液晶表示素子)を用いてビデオデータを表示する液晶表示装置に、ビデオデータを表示させると共に、グラフィックデータを重畠して表示させるものがある。例えば航空機用として、撮影した航空写真に、当該航空機の高度や、その姿勢などの情報を目盛表示や航空機模型の図形表示等を重畠して表示する場合である。

【0003】 このような従来の液晶表示装置の一例を図3に示す。図において、1はグラフィックデータとして表示する外部データを受け入れ、又、このデータを次段に出力するためのI/Oポートである。CPU2は入力された外部データをグラフィックコントローラ(以下GCという)3に送る。4は1フレーム分のデータを表示部の各画素に合致させて格納するフレームメモリA、5は同様のフレームメモリBで、スイッチS<sub>1</sub>の接点a、cが接続されている時にGC3からのグラフィックデータはフレームメモリA4に書き込まれ、フレームメモリB5に書き込まれているグラフィックデータはスイッチS<sub>1</sub>のb-c接点を介してミキサ6に出力される。

【0004】 一方ビデオデータは増幅器7を経てAD変

換器8に入力されてデジタルデータに変換され、スイッチS<sub>2</sub>のa-c接点を経てフレームメモリC9に書き込まれ、フレームメモリD10に先に書き込まれているビデオデータはスイッチS<sub>2</sub>のb-c接点を介してミキサ6に入力される。ミキサ6はグラフィックデータとビデオデータが同時に入力された時、グラフィックデータを優先して出力し、ビデオデータを停止させ、グラフィックデータが入力されない時にビデオデータを出力させるグラフィックデータ優先型のミキサである。

【0005】 11はGC3とAD変換器8の動作のタイミングを制御し、又、連動スイッチであるスイッチS<sub>1</sub>, S<sub>2</sub>, S<sub>3</sub>, S<sub>4</sub>の接点を同時に切り替える制御を行うタイミングコントローラAである。以上の各回路はSG部(シンボル発生部)に属している。

【0006】 12は入力されたデジタル量のデータを階調制御データに変換するために入力に対応する階調制御データに変換するテーブルを格納しているLUT(Look Up Table)で、入力された各データはLUT12で各データの大きさに比例した階調制御データに変換される。この出力データはDA変換器13でアナログ信号に変換され、LCD14で表示される。15は前記LUT12, DA変換器13及びLCD14の動作を制御するタイミングコントローラBである。上記のLUT12以降の回路はDU部(表示ユニット部)に属している。

【0007】 この従来の装置の動作の概要を説明すると、SG部でビデオ及びグラフィックデータをフレームメモリA4, B5, C9及びD10にデジタルデータとして展開し、グラフィックデータを優先してミックスした後DU部へ伝送し、DU部ではLUT12においてLCD14の階調特性に合わせたデータに変換後アナログ信号に変換し、LCD14をドライブする。

## 【0008】

【発明が解決しようとする課題】 併しながら、一般にグラフィック用のLCD階調特性とビデオ用のLCD階調特性とは同一ではなく、LUT13の内容、即ち階調制御データを決める時は、どちらかの表示品質を犠牲にするような決め方しかできなかった。この階調制御電圧と輝度との関係曲線図を図4に示す。ビデオ表示用もグラフィック表示用も階調データ幅を4ビット(16階調)とし、グラフィック表示の範囲で16階調を設定すると、ビデオ表示は8~10階調程度しか取れない。即ち、図において、p, qをグラフィック表示用の階調制御電圧の範囲とすると、ビデオ表示用の階調制御電圧の範囲r-sは8階調となっている。

【0009】 本発明は上記の点に鑑みてなされたもので、その目的は、ビデオ表示部分とグラフィック表示部分とのそれぞれに適合した階調特性によりLCDを制御して、両者の表示品質を最良状態にすることのできる液晶表示装置を実現することにある。

50 【0010】

【課題を解決するための手段】前記の課題を解決する本発明は、ビデオデータとグラフィックデータとを重複してLCDに表示させるためのフレームメモリとミキサを備えたSG部と、前記ビデオデータとグラフィックデータとを表示するLCDと、該LCDの階調特性を決定するデータをテーブルとして持つLUTと、前記LCDに表示するためにアナログ信号に変換するDA変換器を備えたDU部とで構成される液晶表示装置において、前記SG部内に設けられているフレームメモリに書き込まれるグラフィックデータの指標とするためのフラグを発生するフラグ発生器と、前記フラグを格納し、前記フレームメモリに格納されているデータと共に読み出されて前記ミキサに入力されるフラグメモリと、前記フラグによって識別されるグラフィック用データとビデオデータのそれぞれに対応する2種類の階調制御データをテーブルとして格納するLUTとを具備し、前記SG部と前記DU部間で伝送される表示データに1ビットの前記フラグを追加することにより、ビデオ用とグラフィック用にそれぞれ最適な階調特性でLCDに表示させるようにしたことを特徴とするものである。

## 【0011】

【作用】書き込みモードのフレームメモリにGCアドレスによりグラフィックデータを書き込み、同時にフラグ発生器はフラグを発生してフラグメモリに書き込む。読み出しモードになると、フレームメモリからグラフィックデータが、フラグメモリからフラグが読み出されて、ミキサに入力される。

【0012】ミキサはフラグのあるグラフィックデータを優先して通過させる。LUTはフラグのある場合、グラフィック用の階調特性のデータを出力させる。フラグの無いビデオデータに対してはビデオ用の階調特性のデータを出力させて、いずれのデータに対しても最良の階調特性のデータをLCDに供給する。

## 【0013】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は本発明の一実施例の装置のブロック図である。本発明では図3に示した従来の液晶表示装置のうちGC3(図3に示す)の出力データを処理するグラフィック表示部分のデータ処理部に改良を加えているので、その部分のみを示してある。GC3からはGCアドレスとGCグラフィックデータが出力されているので、実施例の装置に対する入力データはGCアドレスとGCグラフィックデータである。

【0014】図において、図3と同等の部分には同一の符号を付してある。図中、S<sub>1</sub>はフレームメモリへのGCグラフィックデータの書き込みアドレスをフレームメモリA4とフレームメモリB5とに切り替え入力するためのスイッチで、動接点cがa側に入った時フレームメモリA4へのデータの書き込みが行われ、動接点cがb側に入った時フレームメモリB5へのデータの書き込み

40

50

が行われる。S<sub>2</sub>はGCグラフィックデータをフレームメモリA4とフレームメモリB5とに切り替え入力させるためのスイッチで、接点位置とフレームメモリとの関係はスイッチS<sub>1</sub>と同じである。

【0015】21は書き込みアドレスであるGCアドレスと、読み出しアドレス発生器22の出力の読み出しアドレスとを切り替えてフレームメモリA4に入力させるためのセレクタA、23は同様にGCアドレスと読み出しアドレスとを切り替えてフレームメモリB5に入力させるためのセレクタBである。セレクタA21、セレクタB23は従来の装置にも含まれているが、図3では省略して示さなかったものである。24、25はGCグラフィックデータを增幅してそれぞれフレームメモリA4及びフレームメモリB5に入力させる増幅器である。

【0016】26はGCアドレスが入力された時にフラグとしての“1”的データを発生するフラグ発生器である。出力のフラグはフラグメモリA27とフラグメモリB28とにGCアドレスによって書き込まれる。このフラグメモリA27とフラグメモリB28とは、フラグを記録するデータ幅が1ビットのメモリで、そのアドレス幅は、フレームメモリA4とフレームメモリB5で実際にデータを格納するエリアと少なくとも同一のエリアをカバーしている。29は読み出しアドレスによってフレームメモリA4から読み出されたnビットのデータとフラグメモリA27から読み出された1ビットのフラグが合成されたn+1ビットのデータを增幅する増幅器、30は同様にフレームメモリB5からのデータとフラグメモリB28からのフラグの合成データを增幅する増幅器である。

【0017】S<sub>3</sub>は増幅器29と30の出力を切り替えてミキサ6に入力するスイッチで、S<sub>4</sub>、S<sub>5</sub>、S<sub>6</sub>は連動しており、フレームメモリAとフレームメモリBに対するデータの書き込みと読み出しを交互に行わせる働きをしている。

【0018】31はセレクタA21、セレクタB23、スイッチS<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>の動作を制御して、フレームメモリA4、フレームメモリB5の交互動作を制御すると共にフラグメモリA27とフラグメモリB28を初期化する機能を有するタイミングコントローラCである。

【0019】次に上記のように構成された実施例の動作を説明するが、フレームメモリA4とフレームメモリB5の各系統はスイッチS<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>の切り替えにより交互に動作するので、フレームメモリA4の系統のみを図2に示し、これに基づいて説明を行う。図において、各部分には図1に用いた符号と同一の符号を用いてある。

【0020】先ずフレームメモリA4へのGCグラフィックデータ書き込み時の動作を説明する。データ書き込み時にはタイミングコントローラC31の制御によりスイッチS<sub>1</sub>、S<sub>2</sub>の動接点cは接点a側に入れられてG

CアドレスはセレクタA21に接続され、GCグラフィックデータは増幅器24に入力される。又、スイッチS<sub>1</sub>の動接点cは接点bに接続されて、フレームメモリA4とフラグメモリA27の出力回路はミキサ6とは遮断される。同時にタイミングコントローラC31の制御によりフラグメモリA27は初期化されて、その内容はすべて0になる。更にセレクタA21はタイミングコントローラC31の制御により、GCアドレスをフレームメモリA4に入力させる。

【0021】増幅器24で増幅されたGCグラフィックデータは、GCアドレスに基づき指定されたフレームメモリA4のアドレスに書き込まれ、フラグ発生器26の出力のフラグもフラグメモリA27の同一アドレスに書き込まれる。

【0022】フレームメモリA4に対する書き込みモードが終ると、タイミングコントローラC31はスイッチS<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>の動接点cを反対側接点に入れ、セレクタA21の出力を読み出しアドレス発生器22からの読み出しアドレスに切り替えてフレームメモリA4とフラグメモリA27に入力する。この読み出しアドレスによりフレームメモリA4からのnビットのGCグラフィックデータとフラグメモリA27からの1ビットのフラグとが出力され、合成されて増幅器29で増幅された後、スイッチS<sub>1</sub>のa-c接点を経てミキサ6に入力される。

【0023】ミキサ6には別にビデオデータが入力されており、ここで混合されるが、フラグを伴ったデータ、即ちGCグラフィックデータが入力された場合は、ビデオデータの入力を阻止してグラフィックデータのみをフラグと共に通過させる。フラグが入力されない時期即ちGCグラフィックデータが入力されない時はビデオデータが出力される。即ちグラフィックデータ優先で混合される。

【0024】LUT12はフラグの存否をチェックし、フラグの存在するデータに対してはグラフィック用の階調特性のデータを出力し、フラグの無いデータに対してはビデオ用の階調特性のデータを出力するように切り替える。即ちビデオデータに対してはその階調制御電圧の範囲を拡張して与えるものである。

【0025】タイミングコントローラC31がフレームメモリA4側を読み出しモードに切り替えた時はフレームメモリB5側は書き込みモードになって、既述のような動作をしている。

【0026】以上説明したように本実施例によれば、從

来SG部からDU部に伝送していた表示データにフラグ用の1ビットを追加したことにより、LUTはビデオデータとグラフィックデータを判別してビデオ用のLUTとグラフィック用のLUTをそれぞれ設定することができるようになり、ビデオデータの階調範囲が狭くなることがなく、それぞれのデータが最適な階調特性でLCDに重畠表示を行うことができるようになった。

【0027】尚、本発明は上記実施例に限定されるものではない。例えば、実施例においては従来の装置と同様にビデオデータ用のフレームメモリとグラフィックデータ用のフレームメモリとを別々に持つ例を示したが、1個のフレームメモリの中に先ずビデオデータを書き込み、ビデオデータのプランギング時間に同じフレームメモリ上にグラフィックデータを上書きする方式を採用することができる。この場合においてもデータ幅1ビットのメモリを追加し、ビデオデータを書き込む時は“0”を書き込み、GCからグラフィックデータを書き込む時は“1”を書き込むように構成すれば、同様の動作をさせることができる。

【0028】

【発明の効果】以上詳細に説明したように本発明によれば、ビデオ表示部分はビデオ用の階調特性、グラフィック表示部分はグラフィック用の階調特性でLCDを制御することができるようになり、両方の表示品質が最良の状態で得られるができるようになって、実用上の効果は大きい。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の装置のグラフィック表示用データに関する部分を示したブロック図である。

【図2】実施例説明のため1系統のみを示したブロック図である。

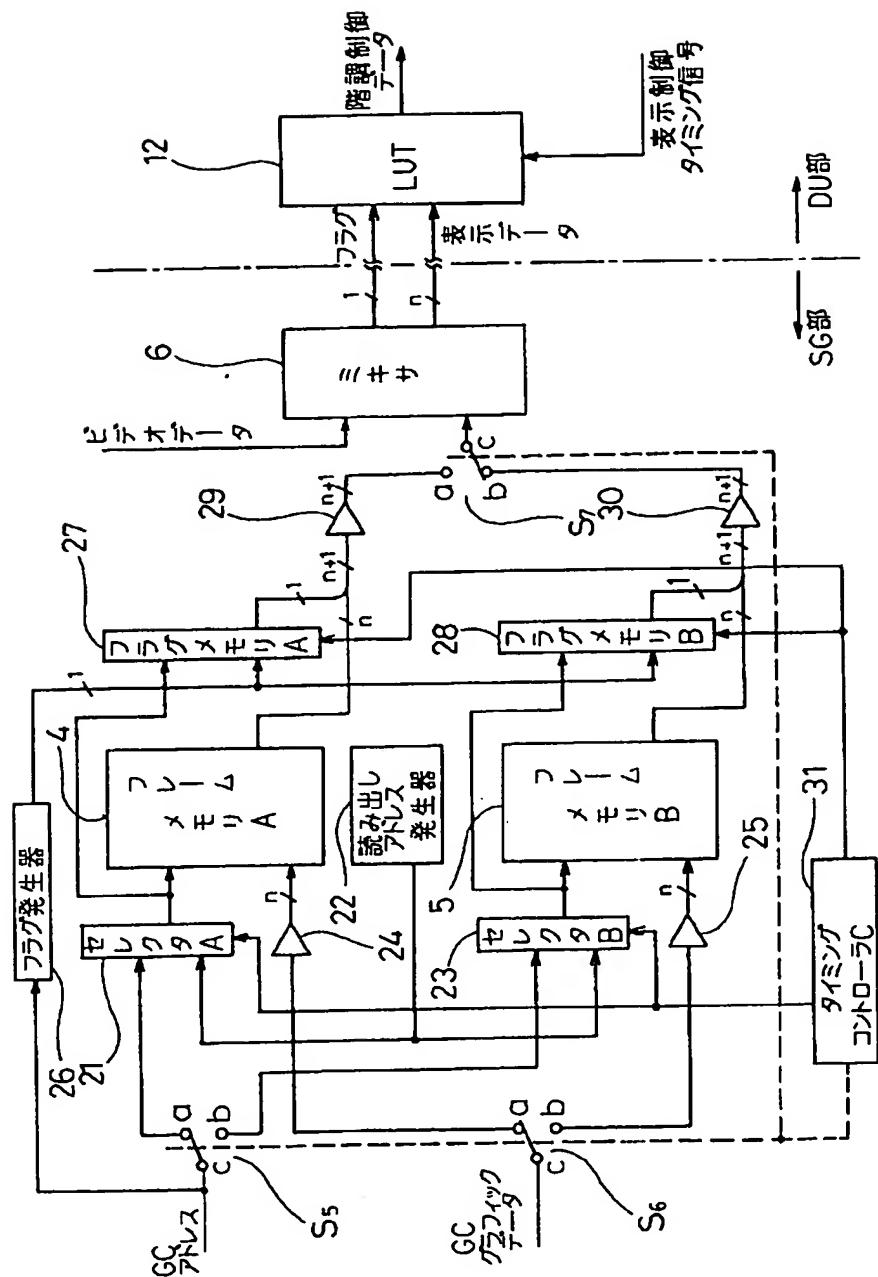
【図3】従来の液晶表示装置の概略構成を示すブロック図である。

【図4】LCDの輝度と階調制御電圧との関係曲線図で、特にグラフィック表示用データとビデオ表示用データとの階調特性を示した図である。

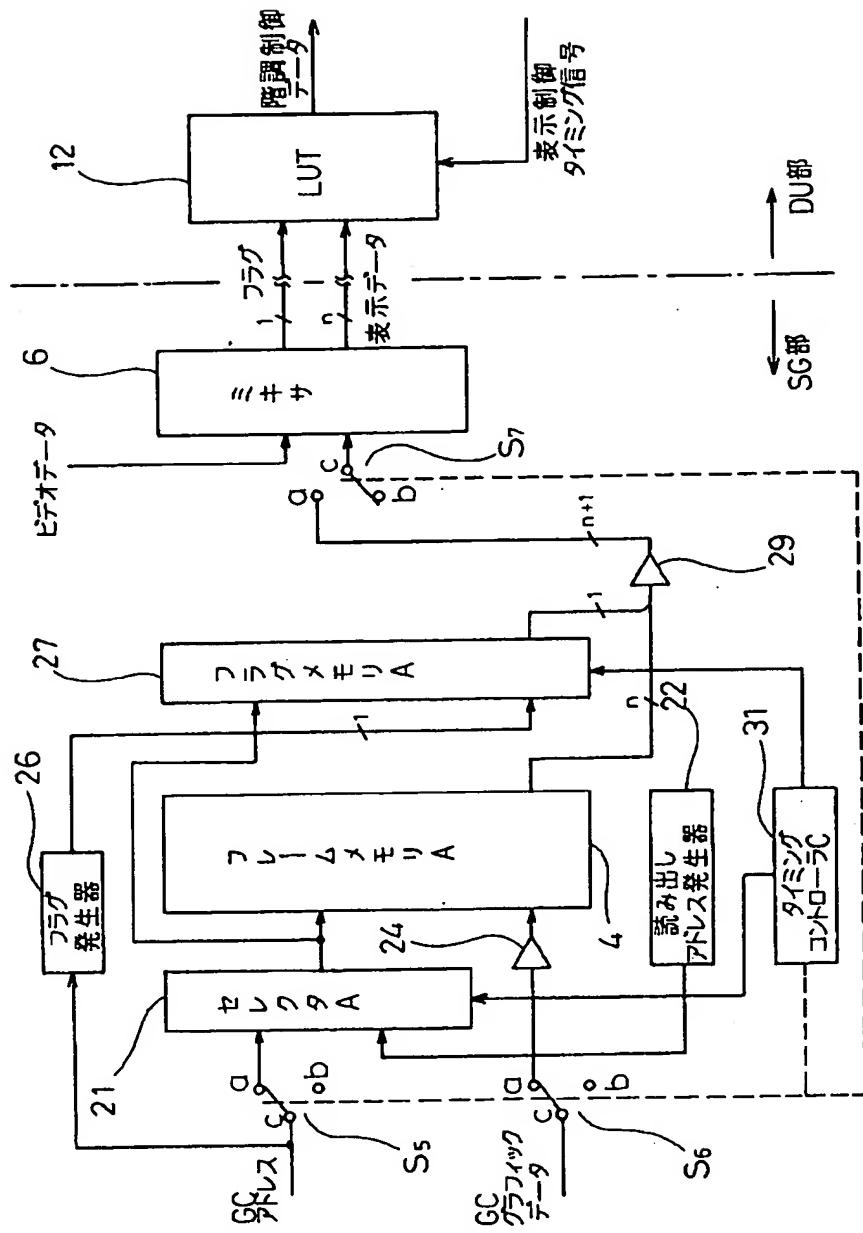
#### 【符号の説明】

4, 5	フレームメモリ
6	ミキサ
12	LUT
14	LCD
26	フラグ発生器
27, 28	フラグメモリ

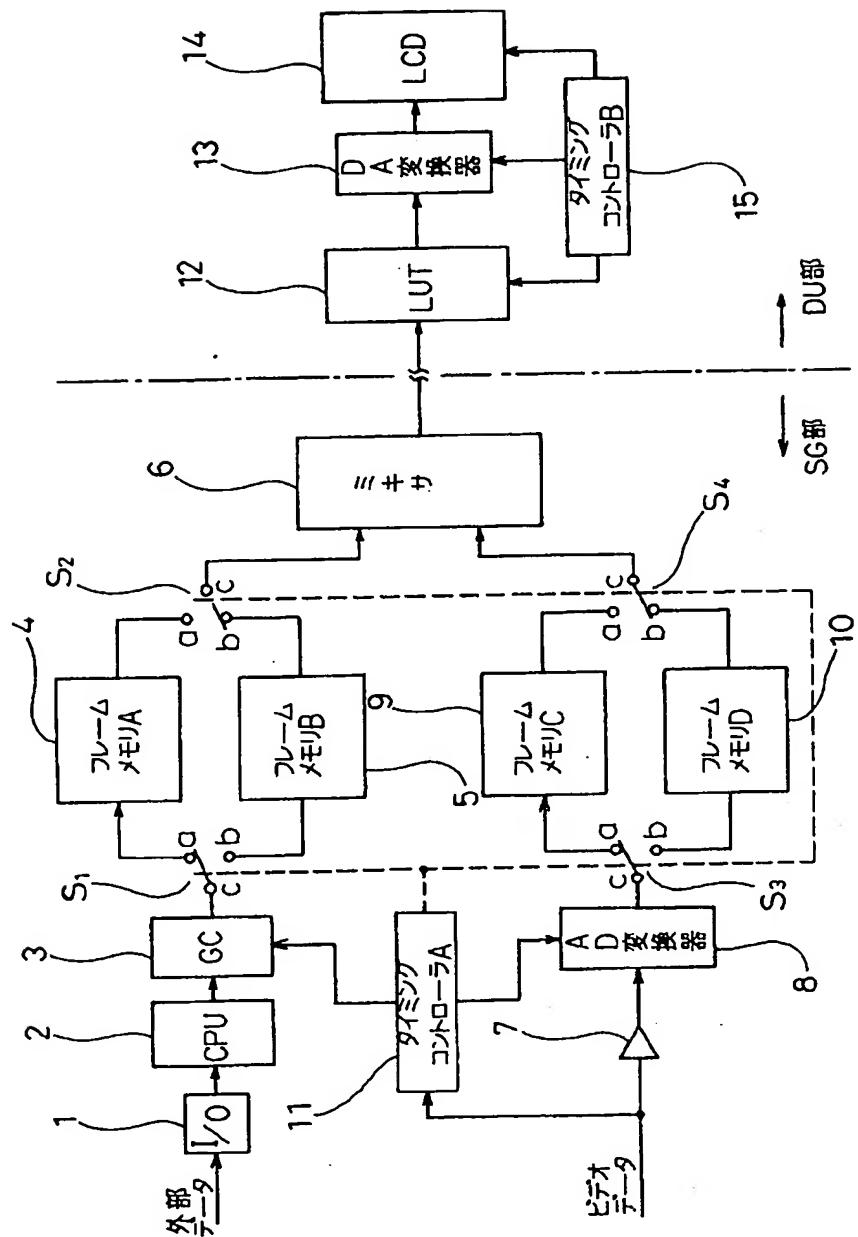
[図 1]



[図2]



[図3]



【図4】

